

Best Available Copy

公開実用 昭和63- 17477

⑩ 日本国特許庁 (JP)

⑪ 実用新案出願公開

⑫ 公開実用新案公報 (U)

昭63- 17477

⑬ Int.Cl.*

G 01 R 31/28
G 06 F 1/04
H 03 K 11/22
5/135

識別記号

3 1 0

府内整理番号

R - 7807-2G
7157-5B
B - 7368-5B
7259-5J

⑭ 公開 昭和63年(1988)2月5日

審査請求 未請求 (全頁)

⑮ 考案の名称 論理波形発生装置

⑯ 実 願 昭61-110084

⑰ 出 願 昭61(1986)7月18日

⑱ 考案者 小野寺 英典 東京都練馬区旭町1丁目32番1号 株式会社アドバンテスト内

⑲ 考案者 塙 原 寛 東京都練馬区旭町1丁目32番1号 株式会社アドバンテスト内

⑳ 出願人 株式会社 アドバンテ
スト 東京都練馬区旭町1丁目32番1号

㉑ 代理人 弁理士 草野 卓

明細書

1. 考案の名称

論理波形発生装置

2. 実用新案登録請求の範囲

- (1) A. 入力論理波形データをその 1 タイムスロットずつ位相の異なる n 個 (n は 2 以上の整数) の空間に分割し、且つ n タイムスロットの有効期間を有するデータに変換するデータ分割回路と、
- B. このデータ分割回路で分割された論理波形データをクロックに同期して 1 タイムスロット毎に 1 回ずつ選択して取出すデータ選択手段と、
- C. 1 タイムスロット内で出力したい波形数のクロックが与えられ、このクロックと上記データ選択手段で選択して取出した論理波形データの論理との一致をとる第 1 、第 2 選択手段と、
- D. 第 1 、第 2 選択手段の出力によりそれぞれセット、リセットされて論理波形を生成する

フリップフロップと、

によって構成された論理波形発生装置。

3. 考案の詳細な説明

「産業上の利用分野」

この考案は例えば半導体集積回路素子を試験するICテスト装置に利用することができる論理波形発生装置に関する。

「従来技術」

本出願人は「特公昭59-44648号公報」において論理波形発生装置を提案した。この論理波形発生装置はクロックを基準として位相及びパルス幅を変更した論理波形を生成する装置であって、この生成した論理波形は論理回路で構成される半導体集積回路を試験する際に試験波形として利用される。

即ち論理回路の試験において被試験論理回路の複数の端子に各種の異なる論理波形を同時に与え、これら論理波形間の位相を変化させたときに、被試験論理回路の出力がどのように変化するかを試験する場合がある。

この試験のために基準位相に対し各種の位相を持つ論理波形を発生する必要がある。

「特公昭 59-44648 号公報」に開示した論理波形発生装置は第4図に示すような構成となっている。

つまり二つのD形フリップフロップ12A, 12Bとシフトレジスタ25によって構成され、被験体の端子に「1」か「0」の何れの論理を与えるかを決める入力論理信号をその1タイムスロットずつ位相の異なるn個（nは2以上の整数）の空間に分割し、且つnタイムスロットの有効期間を有する論理波形に変換する論理波形分割回路100と、二つのシフトレジスタ27, 28によって構成され、これら二つのシフトレジスタ27, 28に供給される複数のクロックをそれぞれ1タイムスロットずつ位相がずれたnタイムスロットを周期とするn個のクロック信号に空間分割するクロック分割回路200と、

ゲート31, 32, 33, 34によって構成され分割回路100で空間分割された各論理波形によ

つてクロック分割回路 200 で空間分割されたクロック信号の対応する位相のものを取出す論理回路 300 と、

オアゲート 35 と 36 によって構成され論理回路 300 で取出されたクロック信号を対応するクロックについてそれぞれ時間的に合成する合成回路 400 と、

ゲート 37 ~ 44 によって構成される波形モード設定手段 500 と、

ゲート 53, 54 及びゲート 55, 56 によって構成され波形モード設定手段 500 から取出される論理波形データとクロックとの一致をとる第1、第2選択手段 600A, 600B と、

これら第1、第2選択手段 600A, 600B の出力によりセット及びリセットされて論理波形生成フリップフロップ 59 とによって構成される。

データ端子 11 から第5図 A に示す所望する論理波形データが入力され、端子 13 からのクロック（第5図 B）はシフトレジスタ 25 の初段及び次段出力として第5図 C 及び D に示すように空間

分割される。

これらクロックによって入力端子 1 1 の 2^m 番タイムスロットデータは第 5 図 E に示すようにフリップフロップ 1 2 A に 2 タイムスロット保持され、 $2^m + 1$ 番タイムスロットデータは第 5 図 F に示すようにフリップフロップ 1 2 B に 2 タイムスロット保持される。

また端子 1 6, 2 6 のクロック群（第 5 図 G, H）も同様に 2^m 番タイムスロット及び $2^m + 1$ 番タイムスロットに空間分割され、クロックは 2^m 番タイムスロットではゲート 3 1, 3 2 で第 5 図 E のデータにより、 $2^m + 1$ 番タイムスロットではゲート 3 3, 3 4 で第 5 図 F のデータによりそれぞれ制御され、ゲート 3 1, 3 3 から第 5 図 I, J に示す出力が、またゲート 3 2, 3 4 から第 5 図 K, L に示す出力がそれぞれ得られる。

ゲート 3 1, 3 3 の出力は合成回路 400 を構成するオアゲート 3 5 で、またゲート 3 2, 3 4 の出力は同じく合成回路 400 を構成するオアゲート 3 6 でそれぞれ合成される。

ゲート35の出力は波形モード設定手段500を構成するアンドゲート37, 38に、また反転出力が波形モード設定手段500を構成するアンドゲート39, 40にそれぞれ供給され、ゲート36の出力はアンドゲート41, 42にそれぞれ供給される。また反転出力はゲート43, 44にそれぞれ供給される。ゲート37～44には端子群45～52の選択信号がそれぞれ供給され、ゲート37, 39, 41, 43の一つと、ゲート38, 40, 42, 44の何れか一つがそれぞれ選択され出力する波形を設定する。

ゲート37と39の出力をアンドゲート53に、またゲート41と43の出力をアンドゲート54にそれぞれ供給する。

またゲート38と40の出力をアンドゲート55に、ゲート42と44の出力をアンドゲート56にそれぞれ供給する。

ゲート53と55には端子16のクロックが遅延回路57を通じて供給し、ゲート54と56には端子26のクロックが遅延回路58を通じて供

給される。

遅延回路 57, 58 はシフトレジスタ 27, 28
ゲート 31~44 と 53~56 における遅れ分の
遅延時間に選定される。

第 1 選択手段 600 A を構成するゲート 53, 54 の出力によりフリップフロップ 59 がセットされ、
第 2 選択手段 600 B を構成するゲート 55, 56 の出力によりフリップフロップ 59 がリセットされ、
フリップフロップ 59 の Q 出力は出力端子 23 に供給される。

ここで RZ (Return to Zero) 波形を選択したとすると端子 4 5 及び 5 1 を高レベルとしてゲート 3 7 及び 4 2 が選択される。2m 番タイムスロットに注目し、入力データが論理「1」であればゲート 3 1, 3 2 はクロックを通過させる（第 5 図 1, K の $2m$, $2m'$ ）このときゲート 3 3, 3 4 はクロックが与えられていないからその出力は「0」論理である。ゲート 3 1 の出力はゲート 3 5, 3 7 を通過し、更にゲート 5 3 で対応するクロックを通過させ、フリップフロップ 5 9 をセットする。

る。

ゲート32の出力はゲート36, 42を通過し、
ゲート56で対応するクロックを通過させフリップ
フロップ59をリセットする。

従って第5図Mに示すようなRZ波形を発生し、
もし入力データが「0」であればゲート31, 32
の出力は共に「0」論理であり、フリップフロップ
59の出力も「0」論理に保持されたままである。

2m+1番タイムスロットではフリップフロップ
12A, ゲート31, 32に代わってフリップ
フロップ12B, ゲート33, 34が同様に動作
する。

この回路構成によればフリップフロップ12A,
12Bの各出力データの有効範囲は2タイムスロ
ットであり、クロック端子16, 26のクロック
群の設定も2タイムスロット— t_s — t_h (t_s はフリ
ップフロップのセットアップ時間、 t_h はフリップ
フロップのホールド時間)の間変化させることが
できる。

一般には論理波形の有効範囲をnT₁(nは空間分

割数、 T_1 は 1 タイムスロットの時間) とすること
ができる、クロック群の設定範囲はフリップフロッ
ブ 59 のセット、リセットの最小パルス幅を T_{SR}
とすると、 $nT_1 - T_{SR}$ となる。従って装置を高速
化した場合でも n の値を最適に選定すればクロック
群の設定範囲を所望する値にすることができる。
「考案が解決しようとする問題点」

先に提案した論理波形発生装置は確かに位相の
設定範囲を拡張できる点で優れている。

然るに技術の進展に伴って被験体となる IC の
中で 1 タイムスロット内で複数の論理波形を要求
するものが出て来た。この要求を満たすべく、従
来の回路において 1 タイムスロット内に端子 16
及び 26 のそれぞれに複数のクロックパルスを与
えたとすると論理回路 300 における信号の取出関
係(以下ではインターリープと称す)が正常に行
われなくなる欠点がある。

つまり 1 タイムスロット内で論理回路 300 を構
成するゲートが複数回動作するため例えば 2m 番
タイムスロット内に他の例えば 2m+1 番タイム

スロットの論理波形データが取出されてしまい、この $2m+1$ 番タイムスロットの論理によって決まる波形が出力されることになり入力端子11より入る論理波形データに従って出力端子23に出て来る波形を正常に制御することができない不都合が生じる。

「問題点を解決するための手段」

この考案では上記した論理波形発生装置において、クロック分割回路のクロック入力端子と、第1、第2選択手段を構成するゲートへのクロック入力端子とを切離し、第1、第2選択手段を構成するゲートとクロック分割回路に供給するクロックとを別々に供給できる構造としたものである。

この考案の構成によればクロック分割回路へのクロックの供給は従来の通り $n=2$ のときは1タイムスロット内に2個とし、インターリングを行えるようにし、これと共に第1、第2選択手段へは1タイムスロット内で論理波形を発生させるに必要な数のパルスを与えればよい。

このようにすることによってインターリープの

状態を狂わせることなく、所望の個数の論理波形を発生させることができる。

「実施例」

第1図にこの考案の一実施例を示す。図中第4図と対応する部分には同一符号を付して示す。

この考案においては第1、第2選択手段600Aと600Bを構成するゲート53～56のクロック供給端子をクロック分割回路16Aと26Aから切離し、別に独立してクロック入力端子16Bと26Bに接続した構成としたものである。

この考案の構成においてクロック分割回路200のクロック入力端子16A, 16Bには第2図G₁とH₁に示すように1タイムスロット内で1個ずつの合計で2個のクロックパルスを与える。この2個のクロックパルスによってクロック分割回路200は従来と同様に1タイムスロット内で動作し、論理回路300を構成するゲート31～34を1タイムスロット内において1回の動作に制限することができる。この結果インターリープの状態が狂うことではなく、入力された論理波形データの順序

に従ってクロックの取出しが実行される。

これに対し第1、第2選択手段600Aと600Bのゲート53と55及び54と56にはクロック入力端子16Bと26Bから第2図G₂とH₂に示すように1タイムスロット内に発生させる論理波形の数に相当する数のクロックを入力する。この例では1タイムスロット内に3個の論理波形を出力させる場合を示す。

このクロックの入力によって入力される論理波形データがm₁番目のタイムスロットで「1」論理であればフリップフロップ59はクロックG₂とH₂によって3回セットとリセットを繰返し、出力端子23に第2図Mに示すように3個の論理波形を出力することができる。

2番目のタイムスロットm₂では入力論理波形データは「1」論理であるが、入力端子16Bと26Bに供給するクロックG₂とH₂を無にすれば出力端子23の出力も無にすることができる。

更に次のタイムスロットm₃では入力論理波形データが「0」論理であるためクロックG₂とH₂が存在

しても出力端子 2 3 は無信号とすることができます。

第 4 番目のタイムスロット m_4 では入力論理波形データが「0」論理であり、またクロック G_2 , H_2 も無であるから出力端子 2 3 も無信号とすることができます。

第 5 番目のタイムスロット m_5 では入力論理波形データが「1」論理となり、またクロック G_2 と H_2 も存在するから出力端子 2 3 に所望の数の論理波形を出力することができます。従って第 1、第 2 選択手段 600 A と 600 B に供給するクロックの数を所望の数に選定することによって 1 タイムスロット内で所望の数の論理波形を発生させることができます。

このようにこの考案によればクロック分割回路 200 と第 1、第 2 選択手段 600 A と 600 B に供給クロックを別系統にすることによって第 1、第 2 選択手段 600 A と 600 B に供給するクロックの数を所望の数に選定することによって 1 タイムスロット内に所望の数の論理波形を入力論理波形データの論理値に従って出力することができます。

更に第1、第2選択手段600Aと600Bに供給するクロックをクロック分割回路200のクロック入力系統と分けたから選択手段600Aと600Bに供給するクロックを必要に応じて停止させることができる。

このためにクロックの有無によっても論理波形の発生と非発生を制御することができる。

第3図にこの考案の他の実施例を示す。この例ではクロック分割回路200と論理回路300の代わりにゲート群700とマルチブレクサ801, 802, 803, 804を設け、このゲート群700とマルチブレクサ801～804によってデータ選択手段を構成し、クロックG₁とH₁に同期して論理波形データを選択する。その選択して取出した論理波形データを第1、第2選択手段600Aと600Bに供給するよう構成した場合を示す。

つまりマルチブレクサ801～804はクロック入力端子Cにクロックが入力される毎に入力端子AとBの信号を切替えて出力端子Qに出力する動作を行う。

ゲート群 700 は入力端子 A と B の何れか一方に H 論理を与え、出力する波形のモードを設定する。ゲート群 700 と論理波形データ分割回路 100 との間に設けた回路 900 は出力する波形の極性を選択するために設けられた回路である。

この第 3 図の回路構成によつても第 1 図と同様の動作を行うことができる。

4. 図面の簡単な説明

第 1 図はこの考案の一実施例を示すブロック図、第 2 図はこの考案の動作を説明するための波形図、第 3 図はこの考案の変形実施例を示すブロック図、第 4 図は従来の論理波形発生装置を説明するためのブロック図、第 5 図はその動作を説明するための波形図である。

100 : 論理波形データ分割回路、300, 801 ~
804 : データ選択手段、600 A : 第 1 選択回路、
600 B : 第 2 選択回路、59 : フリップフロップ回路。

実用新案登録出願人 株式会社 アドバンテスト
代 理 人 草 野 卓

図1

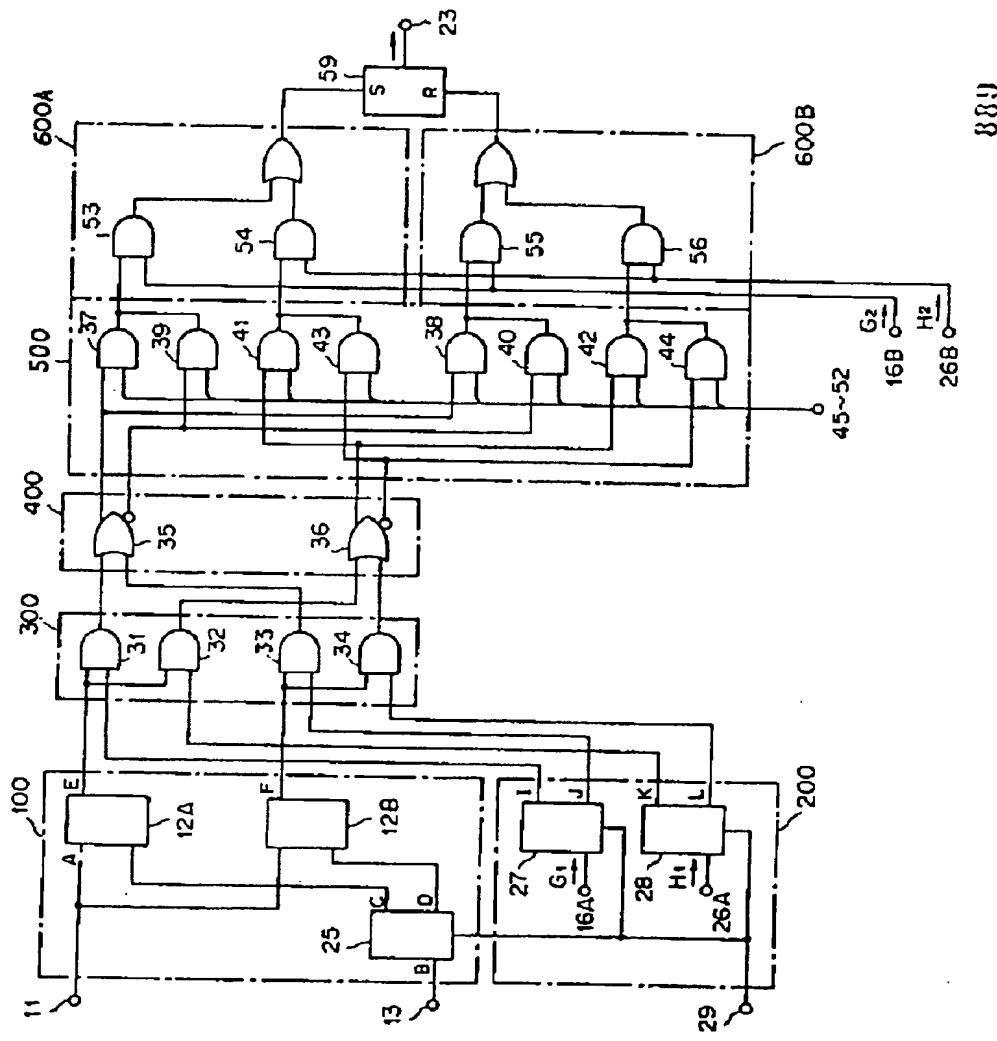
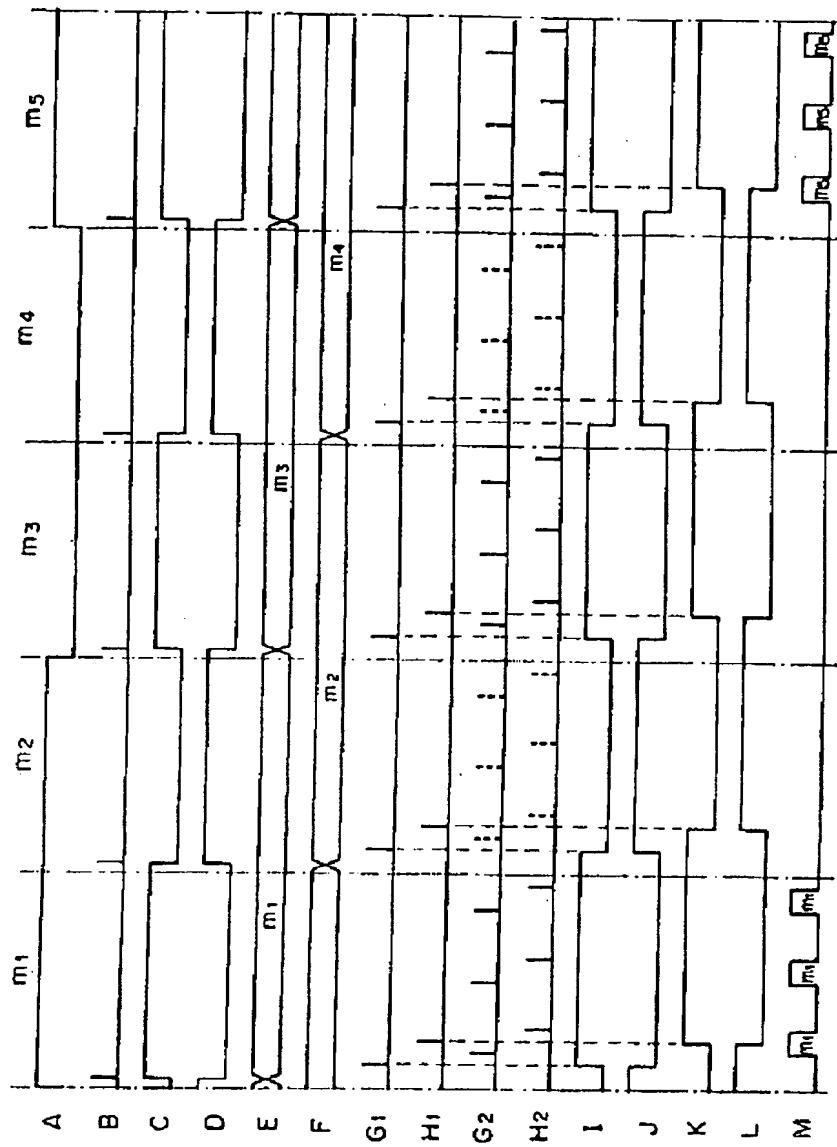
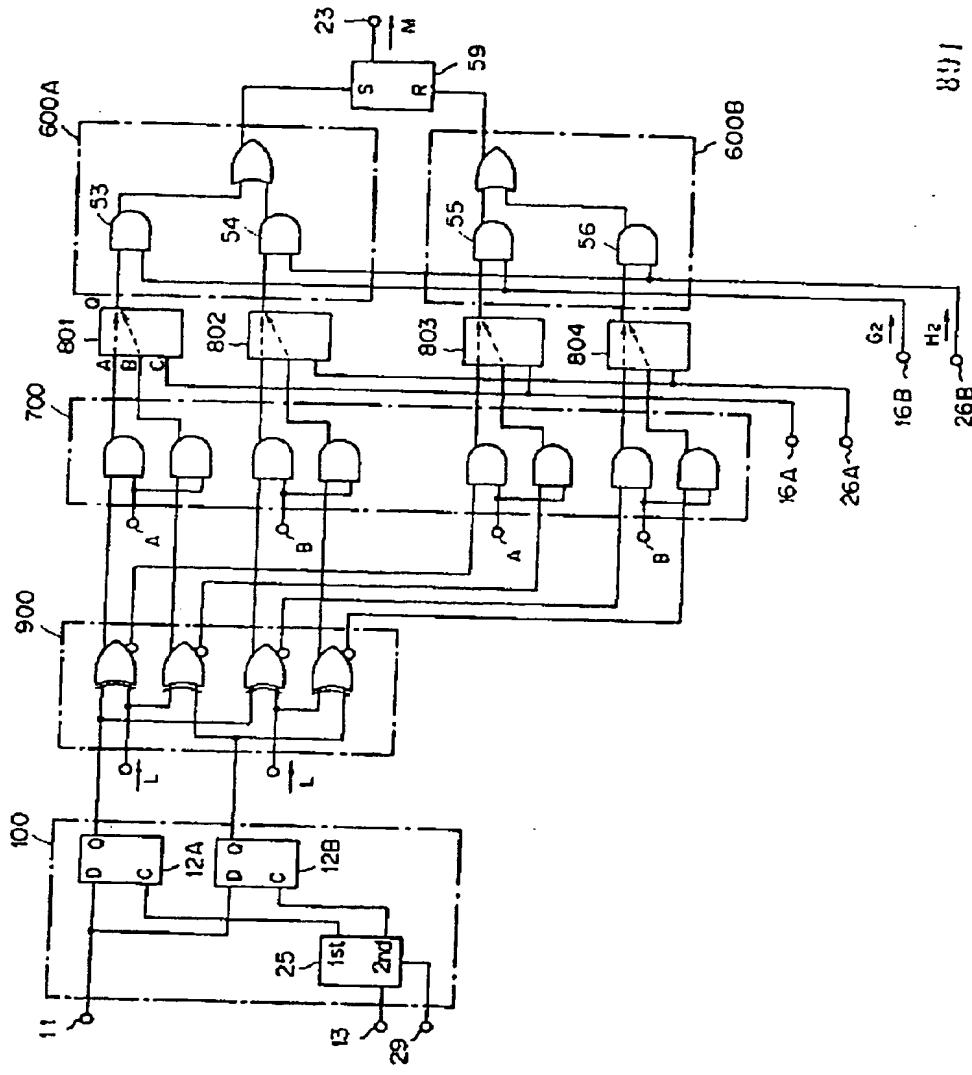


図2

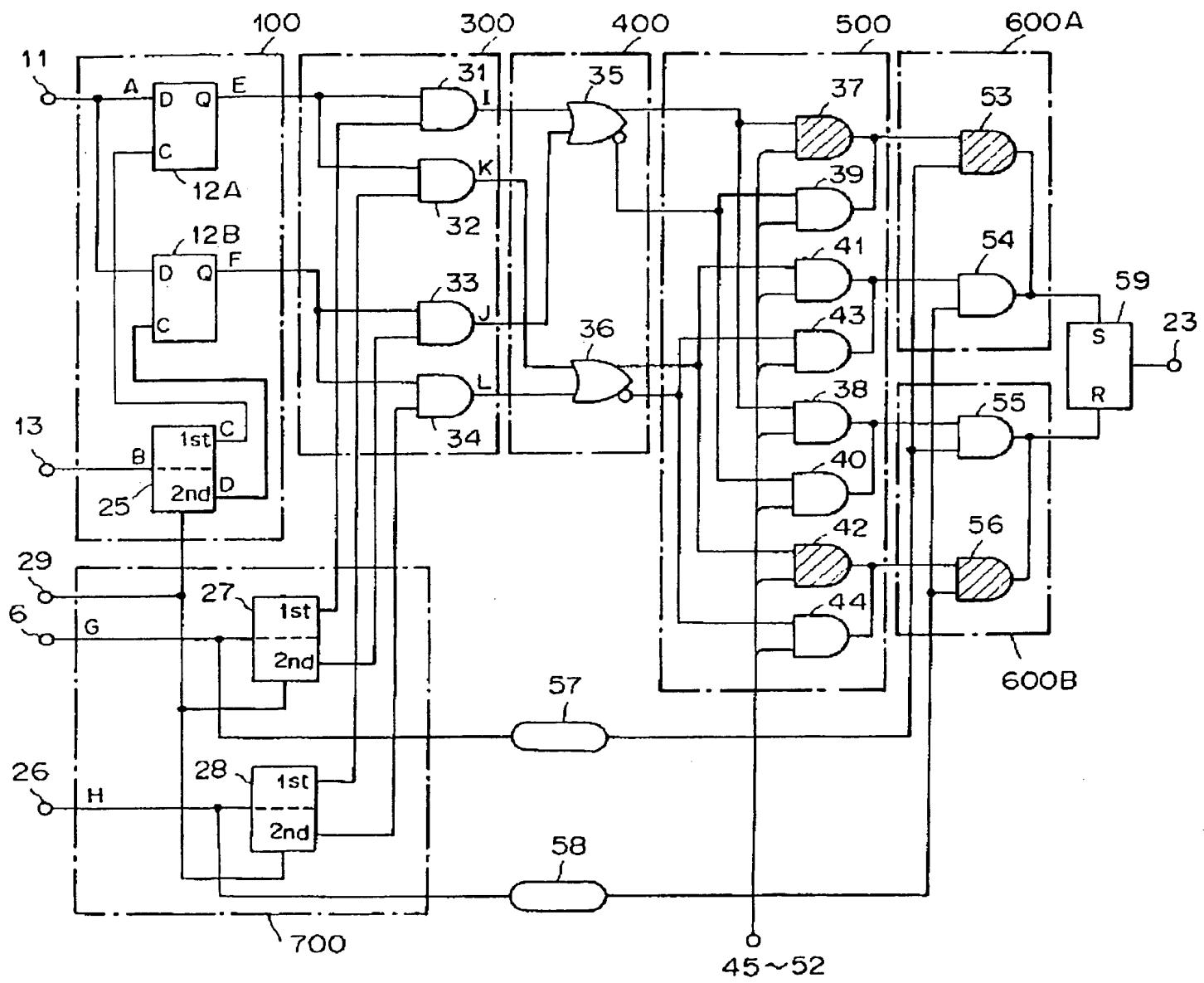


代理人弁理士吉野

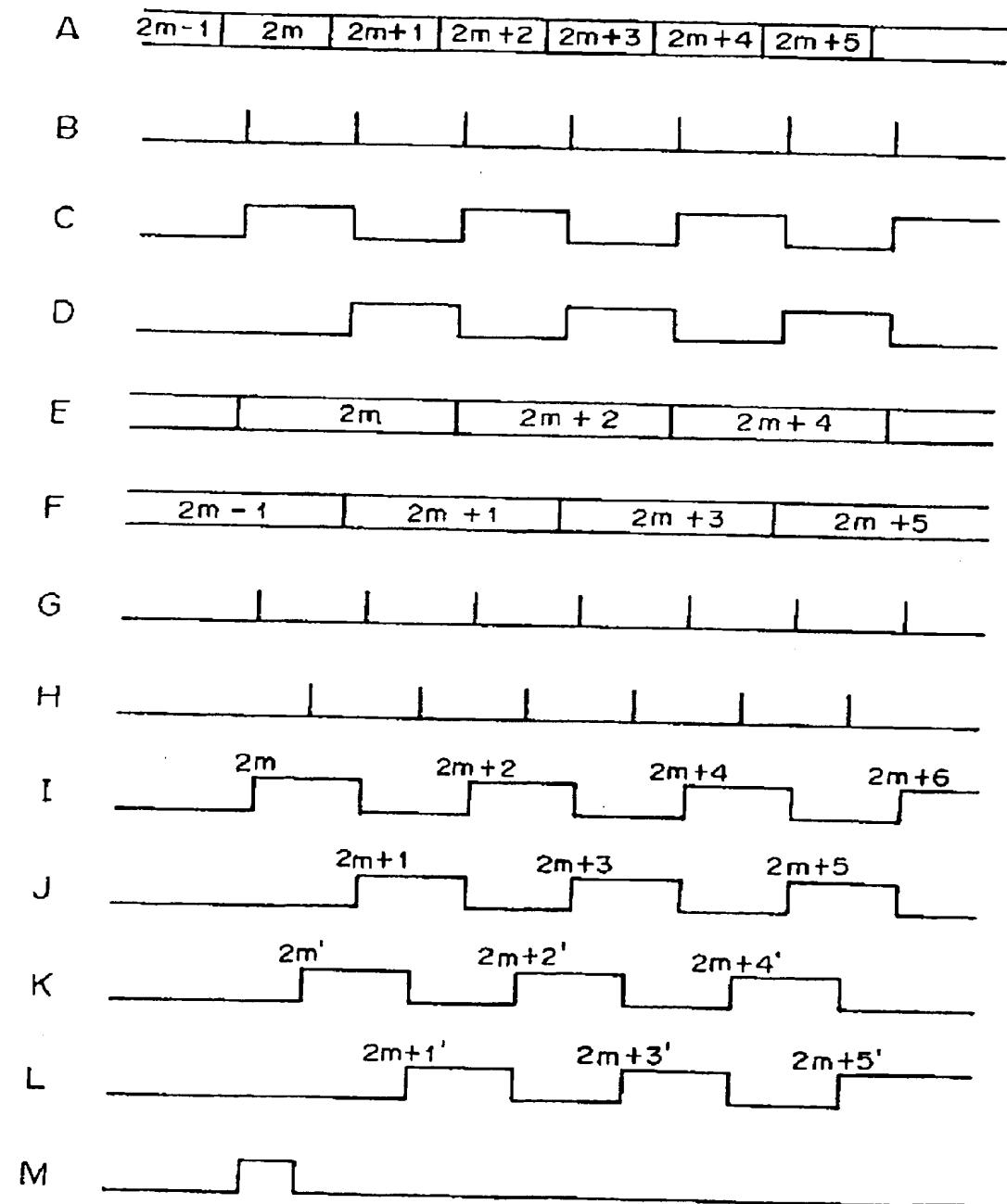
図3



第4図



† 5



This Page Blank (uspto)

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

This Page Blank (uspto)